

301

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-298221

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

H01L 21/66  
G01R 31/26

(21)Application number : 08-110907

(71)Applicant : YAMAHA CORP

(22)Date of filing : 01.05.1996

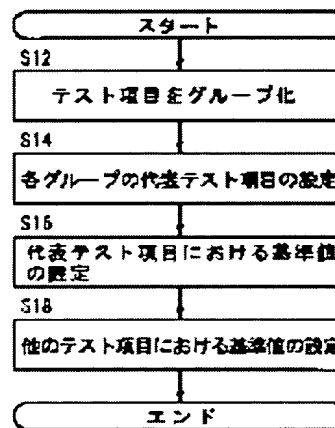
(72)Inventor : IIDA SHUNICHI

## (54) SEMICONDUCTOR TEST DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a semiconductor test device which is capable of improving a semiconductor in reliability while emitting test items by a method wherein items other than representative items are tested under the conditions that the test result of representative test item is closer to a desired value than a first reference value out of two or more reference values.

**SOLUTION:** Test items closely correlative to each other are grouped (S12) through a semiconductor device, and representative test items are selected out of test item groups (S14). Test items which are liable to vary widely with devices, easily tested, and very closely correlative to other test items are selected as representative test items. The reference values of the selected representative test items are set, the range of test value of each test item closest to a desired value is represented by a, and ranges of test value are represented by b, c, and d in descending order of approximation to a desired value (S16). Two sets of boundaries between the ranges of test values are called a reference value. The range b of test value is close enough to a design target value and reliable enough when the other test items of the same group are cleared.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298221

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/86			H 0 1 L 21/86	A
G 0 1 R 31/26			G 0 1 R 31/26	B
				Z

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-110907

(22) 出願日 平成8年(1996)5月1日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 飯田 俊一

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

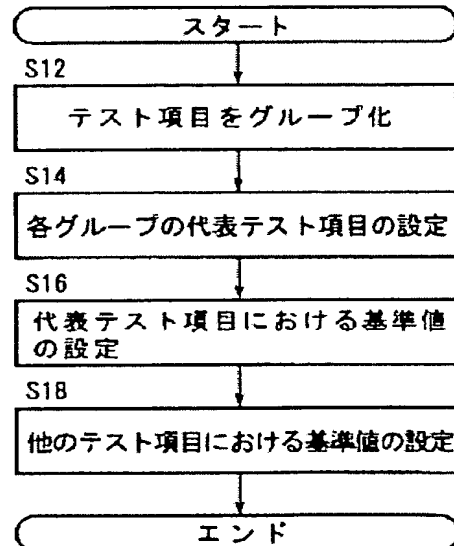
(74) 代理人 弁理士 川▲崎▼ 研二 (外1名)

(54) 【発明の名称】 半導体テスト装置

(57) 【要約】

【課題】 テスト項目を省略しつつ半導体の信頼性を維持することの出来る半導体テスト装置を提供すること。

【解決手段】 テストの各項目を代表テスト項目と代表テスト項目以外のテスト項目とに分類して記憶する手段と、代表テスト項目のテストを行う第1テスト手段と、代表テスト項目のテストの結果を2以上の基準値で判断する判断手段と、判断手段による判断結果が2以上の基準値の中の第1の基準値より理想値に近いことを条件として代表項目以外のテスト項目のテストを行う第2テスト手段とを備えた。複数の半導体を連続してテストし、第2テスト手段が、テスト対象の半導体より前にテストした他の半導体のテスト結果が2以上の基準値の中の第2の基準値より理想値に近い値であることを更に条件として代表項目以外のテスト項目をテストしても良い。



【特許請求の範囲】

【請求項 1】 半導体のテストを行う半導体テスト装置であって、

前記テストの各項目を代表テスト項目と代表テスト項目以外のテスト項目とに分類して記憶する記憶手段と、前記代表テスト項目のテストを行う第1テスト手段と、前記代表テスト項目のテストの結果を2以上の基準値で判断する判断手段と、前記判断手段による判断結果が前記2以上の基準値の中の第1の基準値より理想値に近いことを条件として前記代表テスト項目以外のテスト項目のテストを行う第2テスト手段とを備えたことを特徴とする半導体テスト装置。

【請求項 2】 複数の前記半導体を前記第1テスト手段および前記第2テスト手段により連続してテストする手段を更に備え、前記第2テスト手段が、テスト対象の半導体より前にテストした他の半導体のテスト結果が前記2以上の基準値の中の第2の基準値より理想値に近い値であることを更に条件として、前記代表テスト項目以外のテスト項目のテストを行う事の特徴とする請求項 1に記載の半導体テスト装置。

【請求項 3】 前記第2の基準値が前記第1の基準値より理想値に近い値であることを特徴とする請求項 2に記載の半導体テスト装置。

【請求項 4】 前記基準値を3以上有し、前記第1および前記第2の基準値より前記理想値から離れた第3の基準値より前記テストの結果が前記理想値から離れている場合は、前記半導体が不良品であると判断することを特徴とする請求項 3に記載の半導体テスト装置。

【請求項 5】 前記テスト項目が、テスト結果の相関性が強い複数のグループに分類されており、各グループ毎に前記代表テスト項目および前記代表テスト項目以外のテスト項目を有し、前記第1テスト手段による前記テスト、前記判断手段による前記判断、および前記第2テスト手段による前記テストを、前記グループ毎に行うことを特徴とする請求項 1 から 4 のいずれかに記載の半導体テスト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスをテストする半導体テスト装置に関する。特に本発明は、半導体デバイスのテスト項目を適切に簡略化することの出来る半導体テスト装置に関する。

【0002】

【従来の技術】 半導体デバイス、特にLSIは、製造・出荷工程における数段階でテストする必要がある。例えばLSIのテストにはダイソート(Die Sort)、パッケージテスト、およびQAテストなどがある。ダイソートとはウエハ段階でのテストであり、ウエハソート(Wafer Sort)とも称される。ダイソートにより不良チップが

パッケージ工程に流れることを防ぎ、パッケージ部品のコストが浪費される事を抑えることができる。また、パッケージテストとはパッケージに入れられたLSIの常温状態および高温状態でのテストである。また、QA(クオリティ・アシュアランス)テストは最後に抜き取り的に行うテストである。このQAテストにより前段のテストおよび運搬等による損傷がないかどうかを判断することができる。これらの他にも多くのテスト項目がある。テストを多く重ねるほど高い品質が保証される。しかし多くのテストを行うとLSIの製造コストが高くなる。

【0003】 アナログデバイスも多くのテスト項目を有し、保証すべき電気的特性が数十から数百項目におよぶ場合もある。例えばアナログデバイスの代表であるO/A変換器のテスト項目の一例としては、全高調波歪率、ダイナミックレンジ、非直線性、ゼロクロス歪み、オフセットエラー、フルスケールエラー、電源感度、SN比、セットリングタイム、ドリフト(温度特性)等がある。

【0004】 複数系列複数チャネルの音響信号を対象とする場合は、O/A変換器が複数個必要である。それらを1チップに集積する場合には個々のO/A変換器について多項目のテストが必要となる。さらにA/D変換器やデジタル回路も加えて1チップ化する場合は、高集積に伴いテスト項目が増大する。これらの全ての特性をテストするとテストコストが大きくなる。そこで品質およびコストの双方を満足するようにテスト方法を合理化する必要がある。

【0005】 そこで複数のサンプルをテストし、各項目の良/不良の統計をとり、全サンプルが良を示す項目のテストをスキップする方法が提案されている。このような方法を記載した特許出願には、特開昭59-211874、特開昭60-226132、特開昭60-254626、特開平1-197674、特開平1-321646、および特開平7-37959がある。

【0006】

【発明が解決しようとする課題】 上記特許出願に記載された方法には以下の問題がある。まず統計を採るサンプル数が多い場合および統計を採る周期が短い場合には、統計を採るために多くの時間がかかる。このためテスト時間を削減できない。サンプル数を少なくし、または統計を採る周期を長くすると十分な統計を採ることができず多くの不良品が次工程に送られてしまう。このため品質が低下する。

【0007】 チップ端部にテスト用のトランジスタ(NchTr, PchTr)を配置し、それぞれの特性(例えばしきい値電圧 $N_{vt}$ ,  $P_{vt}$ )を測定する方法が考えられる。テスト用のトランジスタの測定値が所定範囲内に納まっていれば設計のおよびプロセス的に内部の特性が十分に信頼できると考えて所定のテスト項目を省略

することができる。

【0008】しかしこの方法によれば、実際は使用しないトランジスタをテストのために設けなければならないLSIの製造コストが上昇する。またテスト用のトランジスタと回路に使用されているトランジスタとは物理的に離れた場所にあるので必ずしも特性が一致しない。このため、テスト用トランジスタが理想的特性を示している場合でも内部回路が不良な場合がある。またテスト用トランジスタが理想特性を示している場合でも内部回路が正常な場合がある。そこで本発明は、このような課題を解決することのできる半導体テスト装置を提供することを目的とする。

【0009】

【課題を解決するための手段】このような目的を達成するために、請求項1に記載の構成にあっては、半導体のテストを行う半導体テスト装置において、前記テストの各項目を代表テスト項目と代表テスト項目以外のテスト項目とに分類して記憶する記憶手段と、前記代表テスト項目のテストを行う第1テスト手段と、前記代表テスト項目のテストの結果を2以上の基準値で判断する判断手段と、前記判断手段による判断結果が前記2以上の基準値の中の第1の基準値より理想値に近いことを条件として前記代表項目以外のテスト項目のテストを行う第2テスト手段とを備えたことを特徴とする。

【0010】請求項2にあっては、請求項1に記載の半導体テスト装置において、複数の前記半導体を前記第1テスト手段および前記第2テスト手段により連続してテストする手段を更に備え、前記第2テスト手段が、テスト対象の半導体より前にテストした他の半導体のテスト結果が前記2以上の基準値の中の第2の基準値より理想値に近い値であることを更に条件として、前記代表項目以外のテスト項目のテストを行う事の特徴とする。

【0011】請求項3に記載の構成にあっては、請求項2に記載の半導体テスト装置において前記第2の基準値が前記第1の基準値より理想値に近い値であることを特徴とする。

【0012】請求項4に記載の構成にあっては、請求項3に記載の半導体テスト装置において、前記基準値を3以上有し、前記第1および前記第2の基準値より前記理想値から離れた第3の基準値より前記テストの結果が前記理想値から離れている場合は、前記半導体が不良品であると判断することを特徴とする。

【0013】請求項5に記載の構成にあっては、請求項1から4のいずれかに記載の半導体テスト装置において、前記テスト項目がテスト結果の相関性が強い複数のグループに分類されており、各グループ毎に前記代表テスト項目および前記代表テスト項目以外のテスト項目を有し、前記第1テスト手段による前記テスト、前記判断手段による前記判断、および前記第2テスト手段による前記テストを、前記グループ毎に行うことを特徴とする。

る。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態の一例を説明する。図7は、本実施形態における本発明半導体テスト装置のハードウェア構成を示すブロック図である。図7において、半導体テスト部50は、半導体デバイスに対して予め定められた信号を入力し、半導体デバイスからの出力を測定する。CPU52は、ROM54およびRAM56に格納されたプログラムに基づいて、RAM56をワーク領域として使用して動作する。ディスプレイ58には、テスト結果が表示される。ハードディスク60には、各半導体デバイスのテスト項目、基準値、テスト結果等が格納される。操作部62から、操作者が本半導体テスト装置をテストする。

【0015】図1は、本発明におけるテスト項目のグループ化方法を示すフローチャートである。本発明半導体テスト装置は、まず相互に相関の強いテスト項目をグループ化する(S12)。図2は、図1に示した方法でグループ化されたテスト項目を示す。Aグループ12は1個のテスト項目を、Bグループ14はm個のテスト項目を、Cグループ16はn個のテスト項目を有する。相関性の強さは、各素子の物理的構成の類似性および各素子の位置的な近さに基づいて判断する。但し他の実施形態としては、いくつかの半導体のテスト結果に基づいて統計的に判断しても良い。

【0016】次に各グループのテスト項目の中から代表的なテスト項目を選択する(S14)。代表テスト項目としては、そのデバイス毎のばらつきが大きく、測定しやすく、他のテスト項目に対して相関性が特に強い項目を選択する。代表テスト項目は各グループごとに1つであっても複数であっても良い。また代表テスト項目は半導体テスト装置が計算により求めても、統計的に判断しても、また入力手段62から入力しても良い。

【0017】次に図3に示すように、選択した各代表テスト項目の基準値を設定する。図3では理想値に最も近い範囲をaとし、次に理想値に近い範囲から順にb、c、dとしている(S16)。各範囲a、b、c、dの境界の値が基準値である。本実施形態では、各範囲の境界は2つつある。この2つの組を本出願では1つの基準値と呼ぶ。但し他の実施形態としては、1つの基準値として上限値または下限値の一方のみを定めていても良い。図3においてaは、理想値(設計目標値)に極めて近く、このため次のチップにおける同一のテストグループのテスト結果が合格となると信頼することのできる値である。範囲bは設計目標値に十分に近く、従って同一のグループ内における他の項目のテストが合格すると十分に信頼することのできる値である。cは、良品ではあるが他の項目のテストを省略することが出来ない範囲である。dは不良品と判断する範囲である。

【0018】次に他のテスト項目の基準値を設定する

【S18】この基準値はLSIが不良であると判断する境界値である。図4に示す例では、代表項目の範囲a、b、cに対応する範囲と代表項目の範囲dとの境界値を基準値としている。

【0019】図5は、本半導体テスト装置のCPU52の動作を示すフローチャートである。まず各テストで使用するパラメータの初期値を設定する(S22)。次にAグループのテスト項目をテストし(S24)、テスト結果を表すフラグflag\_NGがYES(1)であるかNO(0)であるかを判断する(S26)。YESであればそのLSIが不要であるとして(S38)、そのLSIのテストを終了し次のLSI(チップ)を選択し(S40)、S24に戻る。

【0020】S26でflag\_NGがNOであれば、更にBグループのテスト項目をテストする(S28)。Aグループのテスト後と同様にフラグを調べ(S30)、更にCグループのテスト項目を調べる(S32、S34)。全てのテスト項目にパスすれば良品として判断して(S36)、そのLSIのテストを終了し次のチップを選択する(S40)。BグループまたはCグループのテストで不良であると判断されれば不良チップとして判断し(S38)、次にチップを選択し(S40)、S24に戻る。

【0021】図6は、Aグループの各テスト項目のテスト方法を示すフローチャートである。まず、前回のAグループのテストにより、Aグループのテストをスキップさせるフラグ(skip\_group\_A)がYESにセットされているか否かを判断する。フラグがYESであればフラグskip\_group\_AをNOにセットし(S62)、不良品を示すフラグflag\_NGをNOにセットして(S70)処理を終了する。

【0022】S60でフラグskip\_group\_AがNOであれば、Aグループの代表テスト項目をテストする(S64)。測定データが予め設定された範囲のどこにあるかを判定する。範囲aの中にあれば十分に余裕がある。そこで他のテスト項目のテストを省略する。またフラグskip\_group\_AをYESに設定して、次のチップのグループAのテストをスキップさせる(S68)。その後S70にジャンプする。測定データが範囲bの中に有る場合には、本LSIは十分に信頼できるので他のテスト項目はテストしない。しかし次のLSIを十分に信頼できる程ではないので、フラグskip\_group\_AはNOのままS70にジャンプする。

【0023】代表テスト項目のテスト結果が範囲cの中にある場合には、他のテスト項目をテストする(S72)。他のテスト項目のテスト結果が予め定められた条件を満たせば(S74)、フラグskip\_group\_AはNOのまま、不良品フラグflag\_NGをNOに設定して(S70)、処理を終了する。S74で他のテ

スト項目の結果が予め定められた条件を満たさなければ、不良品フラグflag\_NGをYESに設定して(S76)、処理を終了する。

【0024】S66でのテスト結果が範囲dの中に有れば、このチップは不良品である。そこで他のテスト項目のテストをスキップし、不良品フラグflag\_NGをYESに設定して(S76)、処理を終了する。

【0025】BグループおよびCグループについても図6と同様にテストする。以上のように、LSIの電気的特性の測定値に基づいてそのLSIが許容される製造範囲のどこにあるかを調べることにより、多数の検査項目の中の省略可能な項目を自動的に判断することができ、またこれにより安全にテストを簡略化することが出来る。代表テスト項目の各基準値は、ユーザが入力してもまた設計データに基づいて半導体テスト装置が自動的に決定しても良い。

【0026】また、不良品と判断しないための上限および下限の範囲中で、中心からのずれの割合に基づいて代表テスト項目の基準値を定めても良い。例えば、中心から5パーセントの範囲であれば次のLSIのテストをスキップし、中心から20パーセントであればそのグループ内でのテストを省略するようにしても良い。これらの基準値または割合等は、半導体テスト装置(ラスタ)内のハードディスク60にテーブルとして設けておく。各種フラグは半導体テスト装置内のRAM56に格納する。

【0027】以上発明の実施の形態を説明したが、本出願に係る発明の技術的範囲は上記の実施の形態に限定されるものではない。上記実施の形態に種々の変更を加えて、特許請求の範囲に記載の発明を実施することができる。そのような発明が本出願に係る発明の技術的範囲に属することは、特許請求の範囲の記載から明らかである。

【0028】

【発明の効果】以上の説明から明らかなように、本発明によれば、代表テスト項目のテスト結果に基づいて他のテストを行うか否かを判断するので、テスト項目を省略しつつも半導体の信頼性を維持することが出来る。

【図面の簡単な説明】

【図1】 テスト項目のグループ化方法を示すフローチャートである。

【図2】 グループ化されたテスト項目を示す説明図である。

【図3】 代表テスト項目のテスト基準値を示す説明図である。

【図4】 他のテスト項目のテスト基準値を示す説明図である。

【図5】 本実施形態におけるLSIのテスト方法を示すフローチャートである。

【図6】 Aグループのテスト方法を示すフローチャートである。

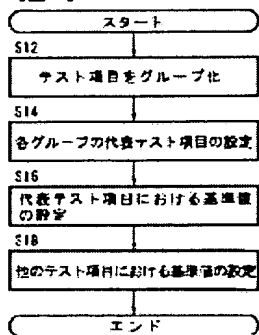
トである。

【図7】 半導体テスト装置のハードウェア構成を示すブロック図である。

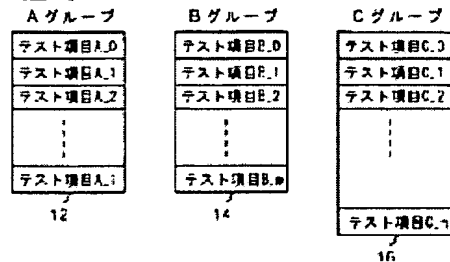
【符号の説明】

12・・・Aグループ、14・・・Bグループ、16・・・Cグループ、50・・・LSIテスト部、52・・・CPU、54・・・ROM、56・・・RAM、58・・・ディスプレイ、60・・・ハードディスク、62・・・操作部。

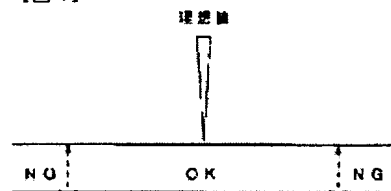
【図1】



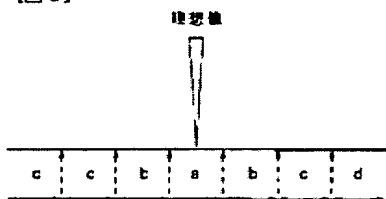
【図2】



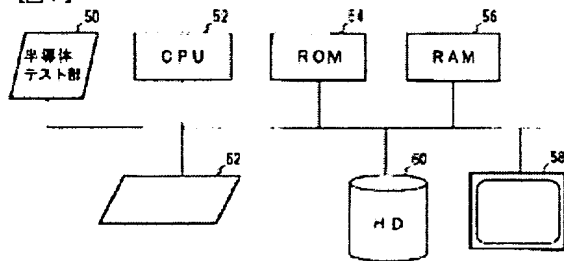
【図4】



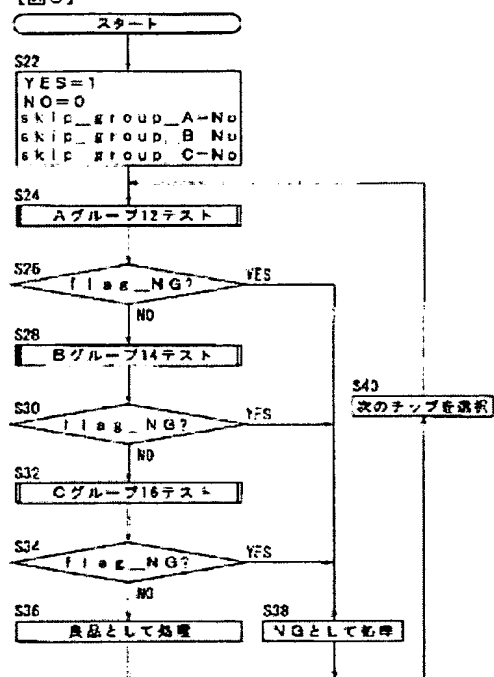
【図3】



【図7】



【図5】



【図6】

